

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-169954

(43)公開日 平成7年(1995)7月4日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

21/76

21/8246

7514-4M

H 0 1 L 29/ 78

3 0 1 S

21/ 76

S

審査請求 未請求 請求項の数2 O L (全 6 頁) 最終頁に続く

(21)出願番号

特願平5-313607

(22)出願日

平成5年(1993)12月14日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 高橋 裕明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

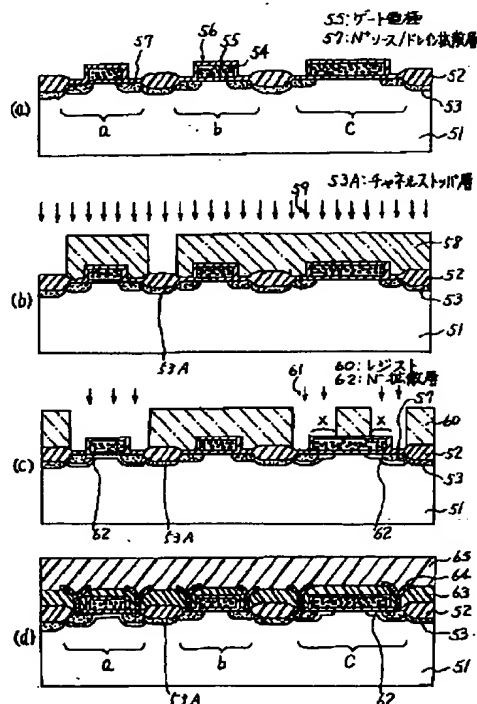
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 マスク合わせ工程や他の工程（熱処理及びイオン注入工程）を増やすことなく、ROMメモリセルの素子分離領域にイオン注入する工程と、ROMデータ書き込みイオン注入工程を利用し、高耐圧を必要とするMISトランジスタのソース・ドレイン拡散層部深くに、低い濃度層を形成し、電界を緩和するようにした優れた半導体装置の製造方法を提供する。

【構成】 フィールド領域間の素子形成領域にMIS型トランジスタを有する半導体装置の製造方法において、高濃度ソース・ドレイン拡散層（N⁺拡散層）57を有するMIS型トランジスタを形成する工程と、該MIS型トランジスタのゲート電極55チャンネル部分のみを選択的にマスクする工程と、イオン注入により前記高濃度ソース・ドレイン拡散層57下部及びゲート電極ソース・ドレイン拡散層側下部に低濃度拡散層（N⁻拡散層）62を形成し、高耐圧MISトランジスタを形成する工程とを施す。



【特許請求の範囲】

【請求項1】 フィールド領域間の素子形成領域にMIS型トランジスタを有する半導体装置の製造方法において、

(a) 高濃度ソース・ドレイン拡散層を有するMIS型トランジスタを形成する工程と、

(b) 該MIS型トランジスタのゲート電極チャネル部分のみを選択的にマスクする工程と、

(c) イオン注入により前記高濃度ソース・ドレイン拡散層下部及びゲート電極ソース・ドレイン拡散層側下部に低濃度拡散層を形成し、高耐圧MISトランジスタを形成する工程とを施すことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記イオン注入による低濃度拡散層の形成を、ROM書き込みイオン注入及びフィールド領域にチャネルストッパ層を形成するイオン注入と同時にを行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MIS型トランジスタを有する半導体装置、特に大容量マスクROM内蔵LCDドライバデバイス及びROMを内蔵するロジックデバイスにおける高耐圧MOSトランジスタの製造方法に関するものである。

【0002】

【従来の技術】従来、このような分野の先行技術としては、例えば、以下に示すようなものがあった（例えば、特願平4-342698号参照）。図5はかかる従来の半導体装置の製造工程断面図、図6はその半導体装置の部分斜視図であり、図5をA方向からみた図である。

【0003】(1) 図5(a)に示すように、P形Si基板31に通常のLOCOS形成により、拡散層領域32をフィールド酸化膜33で分離する。この時、フィールド酸化膜厚は4000~6000Åで、チャネルストッパ層34の表面濃度は、 $1E17cm^{-3}$ 程度である。次に、200Å前後のゲート酸化膜35を形成し、ゲート電極36を形成する。この時、ゲート電極36は、多結晶シリコン膜厚3000~4000Åでリンを拡散したものである。次いで、酸化膜37を100~200Å形成した後、ソース/ドレイン拡散層38をAsイオン注入により形成する。

【0004】(2) 次に、図5(b)に示すように、レジスト40を塗布し、メモリセル内のフィールド領域をホトリソによりレジスト40をパターニングする。ここで、レジスト40をマスクにボロンイオン41をフィールド酸化膜33直下に注入し、前記チャネルストッパ層34の濃度が補強されたチャネルストッパ層34Aを形成する。なお、ボロンイオン41の注入条件は、フィールド酸化膜33直下に濃度ピークが来るようにエネルギー

ーを設定し、濃度はROM書き込みイオン注入濃度ピークの1.2倍以上になるようにドーズ量を設定する。例えば、フィールド酸化膜厚が4000Åの場合、エネルギーは140KeVになる。〔イオン種の打ち込みエネルギーと、打ち込まれる材料における深さ分布を規定した表であるLSS RANGEにより、酸化膜にボロンイオンを140KeVで注入する場合、Rp(深さのピーク)=4179Åとなる〕。

【0005】(3) 次に、図5(c)に示すように、レジスト42を塗布し、DMOSにしたいトランジスタ領域44をホトリソによって、レジスト42をパターニングし、イオン43の注入により、MOSトランジスタをDMOS化する。ここで、注入されるイオンは、リンまたはAsであり、エネルギーはゲート電極36の下部Si基板まで注入されるように設定される。また、ドーズ量はDMOSトランジスタの特性により決められる。このように、ROMコード書き込みをイオン注入により行う。

【0006】(4) 次に、図5(d)に示すように、通常の製造方法と同様に、層間絶縁膜45の生成及びメタル46の配線を行い、パッシベーション膜47を生成する。

【0007】

【発明が解決しようとする課題】しかしながら、以上述べた従来の大容量マスクROMの製造方法では、ROMメモリセルトランジスタと同様に、周辺回路用のMOSトランジスタを形成するため、BVsd(ソース・ドレイン耐圧)及びホットキャリア特性が5V動作に設計され、高耐圧デバイスに内蔵できないという問題と、逆に、高耐圧デバイスでは、ゲート酸化膜厚や熱処理等の違いで、大容量のマスクROMを内蔵できないという問題点があった。

【0008】本発明は、以上述べた高耐圧デバイスに大容量マスクROMを内蔵できないという問題点を除去するため、マスク合わせ工程や他の工程(熱処理及びイオン注入工程)を増やすことなく、ROMメモリセルの素子分離領域にイオン注入する工程と、ROMデータ書き込みイオン注入工程を利用し、高耐圧を必要とするMOSトランジスタのソース・ドレイン拡散層部深くに、低い濃度層を形成し、電界を緩和するようにした優れた半導体装置の製造方法を提供することを目的とする。

【0009】

【問題を解決するための手段】本発明は、上記目的を達成するために、フィールド領域間の素子形成領域にMIS型トランジスタを有する半導体装置の製造方法において、高濃度ソース・ドレイン拡散層を有するMIS型トランジスタを形成する工程と、該MIS型トランジスタのゲート電極チャネル部分のみを選択的にマスクする工程と、イオン注入により前記高濃度ソース・ドレイン拡散層下部及びゲート電極ソース・ドレイン拡散層側下部

3

に低濃度拡散層を形成し、高耐圧MISトランジスタを形成する工程とを施すようにしたものである。

【0010】また、前記のイオン注入による低濃度拡散層の形成を、ROM書き込みイオン注入及びフィールド領域にチャネルストップ層を形成するイオン注入と同時に行うようにしたものである。

【0011】

【作用】本発明によれば、上記したように、フィールド領域間の素子形成領域にMIS(MOS)型トランジスタを有する半導体装置の製造方法において、高濃度ソース・ドレイン拡散層を有するMIS型トランジスタを形成し、該MIS型トランジスタのゲート電極チャネル部分のみを選択的にマスクし、イオン注入により前記高濃度ソース・ドレイン拡散層下部及びゲート電極ソース・ドレイン拡散層側下部に低濃度拡散層を形成し、高耐圧MISトランジスタを形成するようにしたので、高耐圧デバイスに大容量マスクROMを内蔵することができ

る。

【0012】更に、MOSTランジスタのソース・ドレイン拡散層部より深い部分と、ゲート電極下部に濃度の低い層を形成したので、BV_{sd}向上と電界の緩和により、耐ホットキャリア特性の向上を図ることができる。

【0013】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の第1の実施例を示す高耐圧NMOSTランジスタを有する半導体装置の製造工程断面図である。

(1) まず、図1(a)に示すように、DMOSが予定されるトランジスタ領域a、NMOSTランジスタ領域b及び高耐圧化したいトランジスタ領域cが設定される。すなわち、P形Si基板51に通常のLOCOS形成により、拡散層領域をフィールド酸化膜52で分離する。この時、フィールド酸化膜厚は4000~6000Åで、チャネルストップ層53の表面濃度は、 $1E17\text{ cm}^{-3}$ 程度である。次に、200Å前後のゲート酸化膜54を形成し、ゲート電極55を形成する。この時、ゲート電極55は、多結晶シリコン膜厚3000~4000Åでリンを拡散したものである。次に、酸化膜56を100~200Å形成した後に、N⁺ソース/ドレイン拡散層57をAsイオン注入により形成する。

【0014】(2) 次に、図1(b)に示すように、レジスト58を塗布し、メモリセル内のフィールド領域を、ホトリソによりレジスト58をパターンニングする。ここで、レジスト58をマスクにボロンイオン59をフィールド酸化膜52直下に注入し、前記チャネルストップ層53の濃度が補強されたチャネルストップ層53Aを形成する。なお、ボロンイオン59の注入条件は、フィールド酸化膜52直下に濃度ピークが来るようにエネルギーを設定し、濃度はROM書き込みイオン注入濃度ピークの1.2倍以上になるようにドーズ量を設定す

4

る。例えば、フィールド酸化膜厚が4000Åの場合、エネルギーは140KeVになる。

【0015】(3) 次に、図1(c)に示すように、レジスト60を塗布し、DMOSにしたいトランジスタ領域aと高耐圧化したいトランジスタ領域cのN⁻拡散層幅部分Xを、同時にホトリソによってレジスト60をパターンニングし、イオン61を注入し、N⁻拡散層62を形成する。ここで注入されるイオンは、リン又はヒ素が可能であるが、高耐圧トランジスタ特性は、リンイオンの方が望ましい。図2に部分拡大断面が示されている。また、ドーズ量は、DMOSTランジスタと高耐圧トランジスタの特性より決められる(1~5E13ions/cm²程度)。また、加速エネルギーは、ゲート電極55の膜厚により設定されるが、ゲート電極膜厚4000Åでリンイオンを注入する場合、400keV程度必要となる〔この時、SiO₂膜でRp(深さのピーク)は4133Åとなる〕。

【0016】また、N⁻拡散層幅部分Xは、マスク合わせ工程のマージンと高耐圧トランジスタ特性を考慮すると、0.5μm以上になる。

(4) 次に、図1(d)に示すように、通常の製造方法と同様に、層間絶縁膜63の生成及びメタル配線64の形成を行い、パッシベーション膜65を生成する。

【0017】この実施例では、SD構造(Single Drain-Source)の高耐圧化について説明したが、図3に示すように、LDD構造(Lightly-Doped Drain-Source)の場合も、同様に高耐圧化が可能である。図3において、66はLDD構造のN⁻拡散層、67はサイドウォール絶縁膜である。なお、図2の部分と同じ部分については、同じ番号を付してその説明は省略している。

【0018】図4にこのようにして得られた場合の高耐圧NMOSTランジスタのBV_{sd}(ソース・ドレイン耐圧)の一例を示す。ここで、従来のSD構造(A)はLeff=1.5μm、ゲート酸化膜=200Åであり、従来のLDD構造(B)はLeff=1.5μm、ゲート酸化膜=200Å、サイドウォール幅0.2μmであり、本発明の構造(C)のN⁻拡散層幅は0.6μmである。

【0019】図4から明らかなように、この実施例では、従来のSD構造A・LDD構造Bと比較してBV_{sd}が向上していることが分かる。次に、本発明の第2の実施例について説明する。図7は本発明の第2の実施例を示す高耐圧PMOSTランジスタを有する半導体装置の製造工程断面図である。

【0020】まず、図7(a)に示すように、DMOSが予定されるトランジスタ領域a、NMOSTランジスタ領域b及び高耐圧化したいPMOSTランジスタ領域dが設定される。すなわち、P形Si基板51にNウェル71を形成し、通常のLOCOS形成により、拡散層

10

20

30

40

50

5

領域をフィールド酸化膜52で分離する。この時、フィールド酸化膜厚は4000~6000Åで、チャネルストップ層53の表面濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。

【0021】次に、200Å前後のゲート酸化膜54を形成し、ゲート電極55を形成する。この時、ゲート電極55は、多結晶シリコン膜厚3000~4000Åでリンを拡散したものである。次に、酸化膜56を100~200Å形成した後に、 N^+ ソース/ドレイン拡散層57をAsイオン注入により形成し、従来の方法で、PMOSTランジスタ領域dには P^+ 拡散層72を形成する。

【0022】次に、図7(b)に示すように、レジスト73をパターンニングし、ボロンイオン74を、Nウェル71上に形成した高耐圧化したいPMOSTランジスタ領域dの P^- 拡散層幅部分Yに注入することで、 P^- 拡散層75を形成すると同時に、レジスト73をマスクにボロンイオン74をフィールド酸化膜52直下に注入し、前記チャネルストップ層53の濃度が補強されたチャネルストップ層53Aを形成する。なお、ボロンイオン74の注入条件は、フィールド酸化膜52直下に濃度ピークが来るようにエネルギーを設定し、濃度はROM書き込みイオン注入濃度ピークの1.2倍以上になるようにドーズ量を設定する。例えば、フィールド酸化膜厚が4000Åの場合、エネルギーは140KeVになる。

【0023】次に、図7(c)に示すように、レジスト76を塗布し、このレジスト76でDMOSが予定されるランジスタ領域aを除いてマスクし、DMOSにしたいランジスタ領域aにリンイオン77を注入して N^- 拡散層78を形成する。次に、図7(d)に示すように、通常の製造方法と同様に、層間絶縁膜79の生成及びメタル配線80の形成を行い、パッシベーション膜81を生成する。

【0024】上述のように構成することにより、イオン注入による低濃度拡散層(P^- 拡散層)75の形成を、フィールド領域にチャネルストップ層53Aを形成するイオン注入と同時に行うことができる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0025】

【発明の効果】以上、詳細に説明したように、本発明によれば、MIS(MOS)ランジスタ形成後に、ROMメモリセル部分で行う素子分離領域にイオン注入する工程、及びROMデータ書き込みのイオン注入により、高耐圧MOSTランジスタを形成するようにしたので、高耐圧デバイスに大容量マスクROMを内蔵することが

6

できる。

【0026】更に、MOSTランジスタのソース・ドレイン拡散層部より深い部分と、ゲート電極下部に濃度の低い層を形成したので、 BV_{sd} 向上と電界の緩和により、耐ホットキャリア特性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す高耐圧NMOSTランジスタを有する半導体装置の製造工程断面図である。

10 【図2】本発明の第1の実施例を示す高耐圧NMOSTランジスタの要部拡大断面図である。

【図3】本発明の第1の実施例を示すLDD構造の高耐圧NMOSTランジスタの要部拡大断面図である。

【図4】NMOSTランジスタの BV_{sd} 特性図である。

【図5】従来の半導体装置の製造工程断面図である。

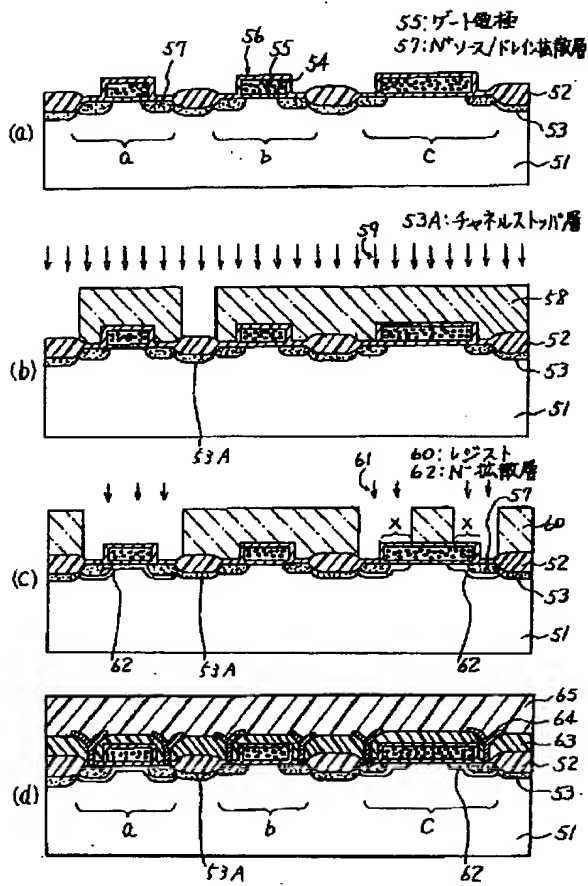
【図6】従来の半導体装置の部分斜視図である。

【図7】本発明の第2の実施例を示す高耐圧PMOSTランジスタを有する半導体装置の製造工程断面図である。

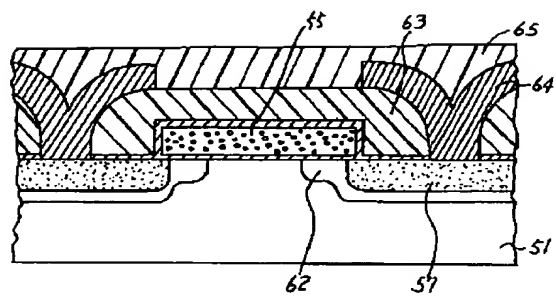
【符号の説明】

- 51 P形Si基板
- 52 フィールド酸化膜
- 53, 53A チャネルストップ層
- 54 ゲート酸化膜
- 55 ゲート電極
- 56 酸化膜
- 57 N^+ ソース/ドレイン拡散層
- 58, 60, 73, 76 レジスト
- 59, 74 ボロンイオン
- 61 イオン
- 62, 78 N^- 拡散層
- 63, 79 層間絶縁膜
- 64, 80 メタル配線
- 65, 81 パッシベーション膜
- 66 LDD構造の N^- 拡散層
- 67 サイドウォール絶縁膜
- 71 Nウェル
- 72 P^+ 拡散層
- 40 75 P^- 拡散層
- 77 リンイオン
- a DMOSが予定されるランジスタ領域
- b NMOSTランジスタ領域
- c 高耐圧化したいランジスタ領域
- d 高耐圧化したいPMOSTランジスタ領域
- X N^- 拡散層幅部分
- Y P^- 拡散層幅部分

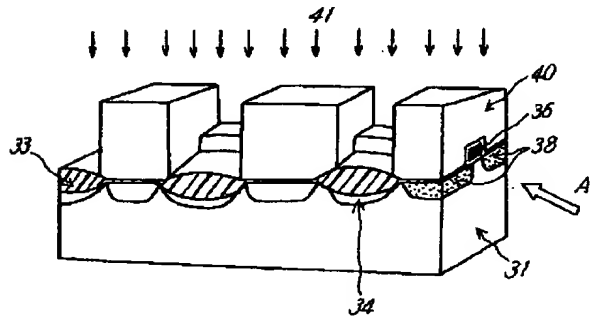
【図1】



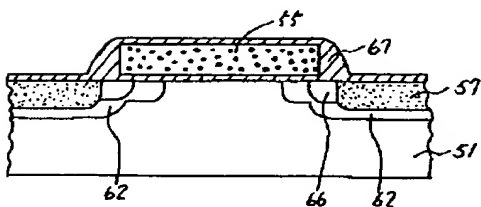
【図2】



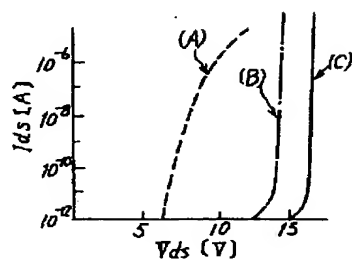
【図6】



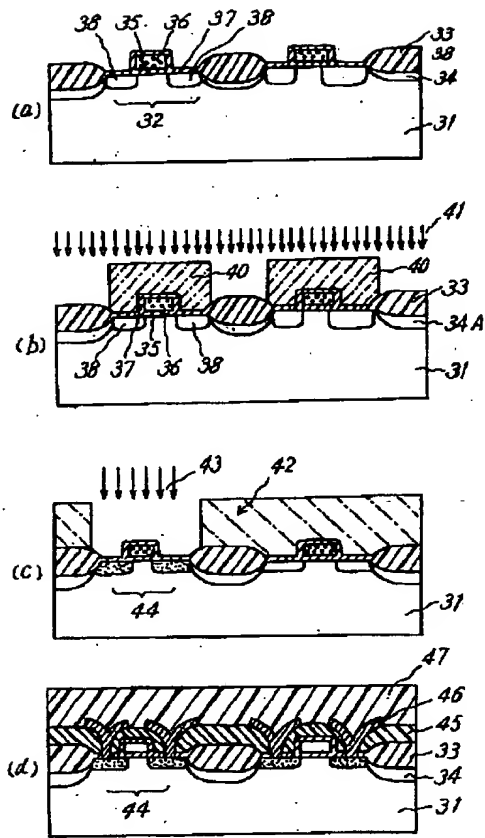
【図3】



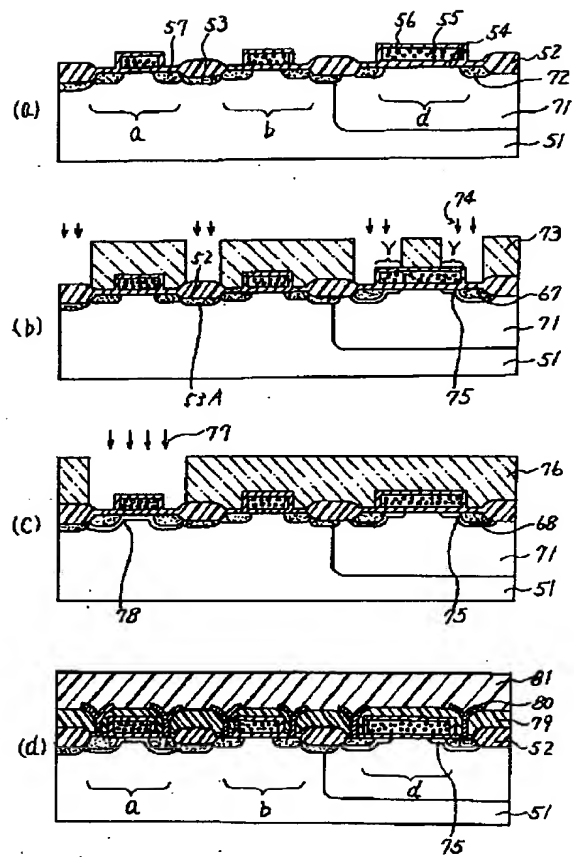
【図4】

BV_{sd}特性図

【図5】



【図7】



フロントページの続き

(51) Int. Cl.⁶

H01L 27/112

識別記号

片内整理番号

F I

技術表示箇所

7210-4M

H01L 27/10

433